

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-108040

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H04N 5/202

(21)Application number : 08-278666

(71)Applicant : NEC CORP

(22)Date of filing : 30.09.1996

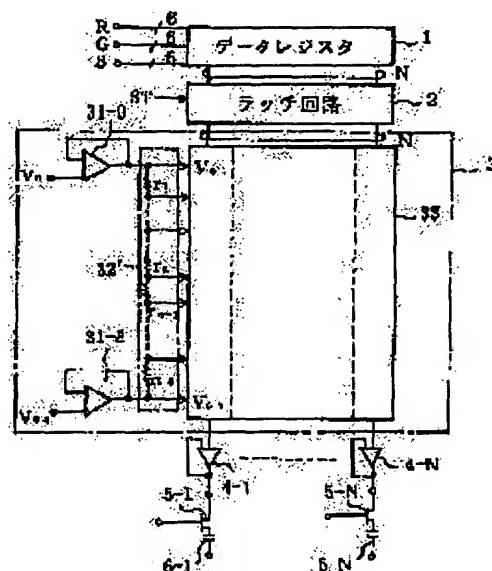
(72)Inventor : YAMAWAKI TATSUJI

(54) GAMMA-CORRECTION CIRCUIT FOR DRIVING LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a true gamma-correction voltage, and then to enhance the quality of full color display by setting a ratio of resistors in a resistance ladder circuit so as to produce a gamma-correction voltage.

SOLUTION: A gamma-correction circuit 3, that applies D/A conversion to a 6-bit digital signal from a latch circuit 2 and gives a resulting signal to liquid crystal display elements 6-1 to 6-N, is made up of voltage followers 31-0, 31-8 which respectively generate reference voltages V0, V64, a resistance ladder circuit 32' that applies voltage division to the reference voltages V0, V64 by using its component resistors and a decoder 33. Each ratio of resistance ($\gamma_1, \gamma_2, \dots, \gamma_{64}$) of the component resistors of the resistance ladder circuit 32' is made matching with each ratio of gamma-correction voltages of the liquid crystal display elements 6-1 to 6-N.



LEGAL STATUS

[Date of request for examination] 30.09.1996

[Date of sending the examiner's decision of rejection] 23.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.⁶
H 0 4 N 5/202

識別記号

F I
H O 4 N 5/202

審査請求 有 請求項の数2 FD (全 4 頁)

(21)出願番号 特願平8-278666

(22)出願日 平成8年(1996)9月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山脇 達司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 五十嵐 省三

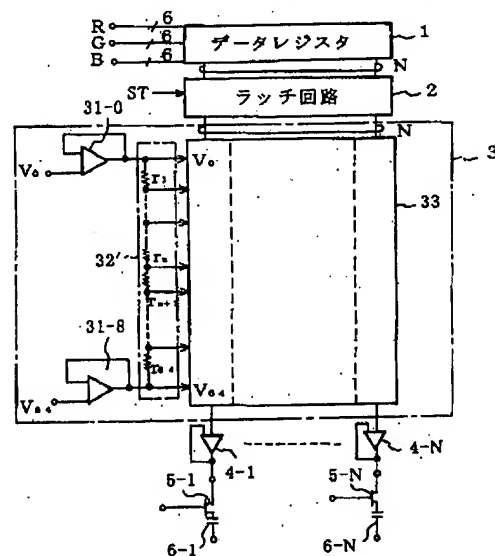
(54) 【発明の名称】 液晶素子駆動用ガンマ補正回路

(57) 【要約】

【課題】 真のガンマ補正電圧に対して誤差があり、最適なガンマ補正ができなかった。

【解決手段】 ラッチ回路 2 から 6 ビットデジタル信号を D/A 変換して液晶素子 6-1 ~ 6-N に供給するガンマ補正回路 3 は、基準電圧 V_0 、 V_{64} を発生する電圧ホロウ 31-0、31-8、基準電圧 V_0 、 V_{64} を抵抗分圧する抵抗ラダー回路 32'、及びデコーダ 33 よりなる。抵抗ラダー回路 32' の各抵抗 $\gamma_1, \gamma_2, \dots, \gamma_{64}$ の比は液晶素子 6-1 ~ 6-N のガンマ補正電圧の比に合致させた。

本発明に係る第1の実施の形態



3 …ガンマ補正回路

31-0、31-8…電圧ホロワ

32' ...抵抗ラダー回路

33...デューダ

4-1~4-N…電圧ホロワ

5-1~5-N…スイッチング素子

6-1~6-N…液晶素子

【特許請求の範囲】

【請求項1】 Mビットデジタル表示信号をD/A変換して液晶素子(61~6-N)のアナログ駆動信号を発生する液晶素子駆動用ガンマ補正回路において、

第1、第2の基準電圧手段(V_0 , V_{64})と、

該第1、第2の基準電圧手段間に直列接続された 2^M 個の抵抗(r_1 , r_2 , ..., r_{64})と、

前記Mビットデジタル表示信号に従って前記抵抗の各ノードの電圧のうち1つを選択して前記アナログ駆動信号とするデコーダ(33)とを具備し、

前記各抵抗の値の比を前記液晶素子のガンマ補正電圧の比に合致させたことを特徴とする液晶駆動用ガンマ補正回路。

【請求項2】 前記各第1、第2の基準電圧手段が電圧ホロワを具備する請求項1に記載の液晶駆動用ガンマ補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はたとえばフルカラー表示が可能な液晶装置における液晶駆動用ガンマ補正回路に関する。

【0002】

【従来の技術】近年、液晶表示装置は、液晶自体の表示品位及び応答性に優れたフラットパネル表示装置として脚光を浴びており、パーソナルコンピュータ、液晶テレビ、その応用製品である液晶プロジェクタ等に利用されている。今後、デジタル、アナログ双方の画像を表示できるマルチメディア分野に対する応用面が期待されている。

【0003】液晶は、図3に示す光透過率特性を有する。つまり、液晶印加電圧に対して光透過率は非線形であるガンマ特性を示している。なお、図3はアクティブマトリクス液晶を含むノーマロホワイト型液晶の場合である。

【0004】図3に示すガンマ特性を補正するために、液晶のフルカラー表示、すなわち、階調制御において、ガンマ補正回路が設けられている。このガンマ補正回路によって得られる階調値0, 1, 2, ..., 2^M-1 と光透過率との関係は、図4に示すごとく、線形特性を示すことになり、フルカラー表示において、Aは階調値0のときに最も明るい場合であり、Bは階調値 2^M-1 のときに最も明るい場合であり、データの対応が異なるのみで、光透過率特性は同一である。

【0005】図5は従来のガンマ補正回路を含む液晶表示装置を示すブロック回路図である。図5において、1は外部より6ビットデジタル表示信号R, G, Bを取り込むデータレジスタ、2はストロブ信号STに同期して6ビットデジタル信号をラッチするラッチ回路である。3は並列N段のデジタル/アナログ(D/A)変換器よりなるガンマ補正回路であって、ラッチ回路2

の6ビットデジタル表示信号をD/A変換してN段の電圧ホロワ4-1~4-Nに供給し、スイッチング素子5-1~5-Nを介して液晶素子6-1~6-Nに印加する。

【0006】ガンマ補正回路3においては、9個の電圧ホロワ31-0~31-9及び抵抗ラダー回路32によって基準電圧を発生し、ROMスイッチによって構成されるN段の 2^M-1 デコーダ33によって基準電圧の選択を行う。この場合、電圧ホロワ31-0~31-8の各基準電圧 $V_0 \sim V_8$ はガンマ補正された基準電圧であって、デジタル表示信号の上位3ビット D_5 , D_4 , D_3 に対応する。すなわち、図6に示すごとく、

V	D_5	D_4	D_3
V_8	0	0	0
V_7	0	0	1
V_6	0	1	0
V_5	0	1	1
V_4	1	0	0
V_3	1	0	1
V_2	1	1	0
V_1	1	1	1

である。

【0007】さらに、各電圧ホロワ31-0~31-N間には、抵抗ラダー回路32の8個の等しい抵抗が直列接続されており、等間隔の基準電圧が発生している。この場合、抵抗ラダー回路32の抵抗によって発生する基準電圧は疑似的にガンマ補正された基準電圧であって、デジタル表示信号の下位3ビット D_2 , D_1 , D_0 に対応し、また、図6の線形特性部分に対応する。

【0008】このように、RGB各色6ビット精度の64階調を、外部より9個の電圧を与え、これらの各電圧間を8個の等間隔の電圧に分割して疑似的な64値によるガンマ補正を行うことによりフルカラー表示を実現している(参照:NECデータシートMOS集積回路 μ PD16622, 1995年6月)。

【0009】

【発明が解決しようとする課題】しかしながら、図5に示すガンマ補正回路においては、真のガンマ補正電圧 V_0 , V_1 , ..., V_8 のみであり、残りの基準電圧は真のガンマ補正電圧に対して誤差を有し、この結果、最適なガンマ補正ができず、フルカラー表示の品位が低下するという課題がある。また、9個の基準電圧 V_0 , V_1 , ..., V_8 を外部より与えるために9個のオペアンプを必要とし、製造コストの上昇を招くという課題もある。

【0010】

【課題を解決するための手段】上述の課題を解決するために本発明は、Mビットデジタル表示信号をD/A変換して液晶素子のアナログ駆動信号を発生する液晶素子駆動用ガンマ補正回路において、第1、第2の基準電圧手段と、これら第1、第2の基準電圧手段間に直列接続さ

れた 2^M 個の抵抗と、Mビットデジタル表示信号に従って抵抗の各ノードの電圧のうち1つを選択して前記アナログ駆動信号とするデコーダとを具備し、各抵抗の値の比を前記液晶素子のガンマ補正電圧の比に合致させたものである。

【0011】

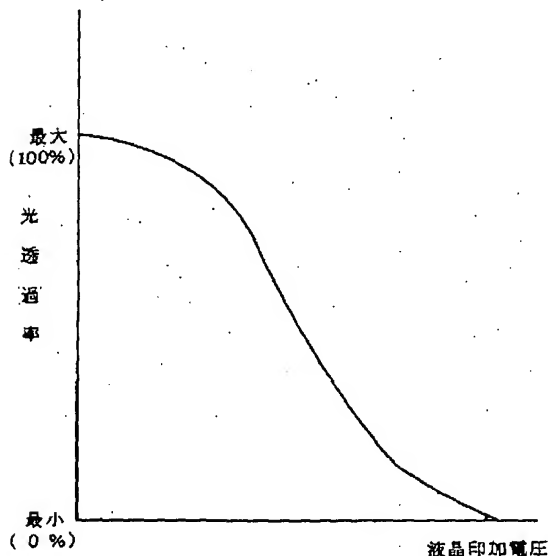
【発明の実施の形態】図1は本発明に係るガンマ補正回路の第1の実施の形態を含む液晶表示装置を示すブロック回路図である。図1においては、図5のガンマ補正回路における電圧ホロワ31-1～31-7は設けず、また、電圧ホロワ31-0～31-8間には、64(=2⁸)個の抵抗 γ_1 、 γ_2 、…、 γ_{64} よりなる抵抗ラダー回路32'が設けられている。抵抗ラダー回路32'の抵抗 γ_1 、 γ_2 、…、 γ_{64} の値は、図6の折線が曲線となるように、言い換えると、液晶素子の光の透過率が直線となるような非線形電圧を発生できるように、割り当てる。すなわち、抵抗 γ_1 、 γ_2 、…、 γ_{64} 値の比をガンマ補正電圧の比に合致させる。

【0012】図2は本発明に係るガンマ補正回路の第2の実施の形態を含む液晶表示装置を示すブロック回路図である。図2においては、図2のガンマ補正回路における電圧ホロワ31-0～31-8は設けない。すなわち、図1においては、電圧ホロワ31-0、31-8によって基準電源のインピーダンスを低くしていたが、液晶負荷が小さくかつ液晶の書き込み特性が安定している場合には、図1の電圧ホロワ31-0～31-8を削除できる。

【0013】

【図3】

液晶の光透過率特性（補正前）



【発明の効果】以上説明したように本発明によれば、抵抗ラダー回路の各抵抗の比をガンマ補正電圧を発生できるように設定したので、真のガンマ補正電圧を得ることができ、従って、フルカラー表示の品位を高くできる。また、電圧ホロワを減少できるので、製造コストを低減できる。

【図面の簡単な説明】

【図1】本発明に係る液晶素子駆動用ガンマ補正回路の第1の実施の形態を含む液晶表示装置を示すブロック回路図である。

【図2】本発明に係る液晶素子駆動用ガンマ補正回路の第2の実施の形態を含む液晶表示装置を示すブロック回路図である。

【図3】液晶の光透過率特性を示すグラフである。

【図4】液晶の光透過率特性を示すグラフである。

【図5】従来の液晶素子駆動用ガンマ補正回路を含む液晶表示装置を示すブロック回路図である。

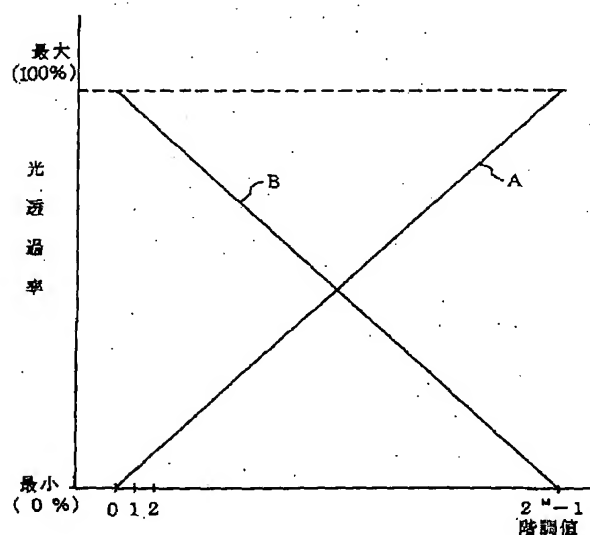
【図6】図5の電圧 $V_0 \sim V_8$ を説明するグラフである。

【符号の説明】

- 1…データレジスタ
- 2…ラッチ回路
- 3…ガンマ補正回路
- 31-0～31-8…電圧ホロワ
- 32, 32'…抵抗ラダー回路
- 33…デコーダ
- 4-1～4-N…電圧ホロワ
- 5-1～5-N…スイッチング素子
- 6-1～6-N…液晶素子

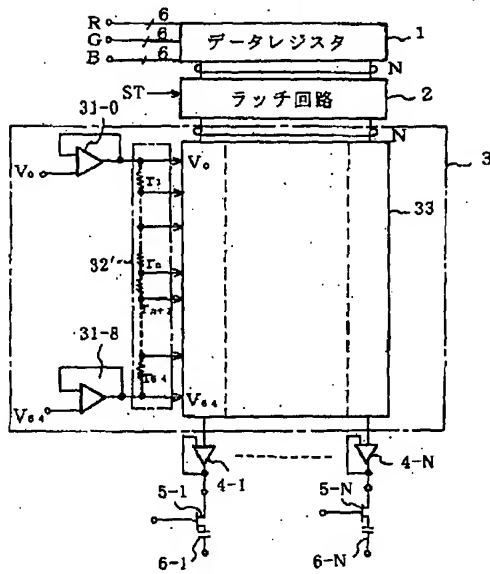
【図4】

液晶の光透過率特性（補正後）



【図1】

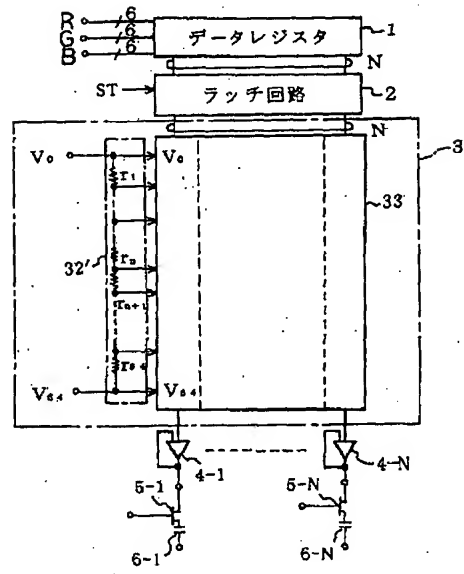
本発明に係る第1の実施の形態



- 3 …ガンマ補正回路
 31-0, 31-8 …電圧ホロフ
 32' …抵抗ラダー回路
 33 …デコーダ
 4-1 ~ 4-N …電圧ホロフ
 5-1 ~ 5-N …スイッチング素子
 6-1 ~ 6-N …液晶素子

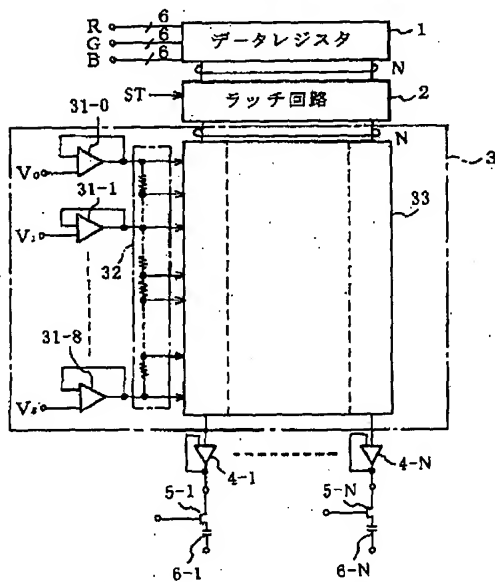
【図2】

本発明に係る第2の実施の形態



- 3 …ガンマ補正回路
 32' …抵抗ラダー回路
 33 …デコーダ
 4-1 ~ 4-N …電圧ホロフ
 5-1 ~ 5-N …スイッチング素子
 6-1 ~ 6-N …液晶素子

【図5】

従来のガンマ補正回路を含む
液晶表示装置

- 3 …ガンマ補正回路
 31-0, 31-8 …電圧ホロフ
 32 …抵抗ラダー回路
 33 …デコーダ
 4-1 ~ 4-N …電圧ホロフ
 5-1 ~ 5-N …スイッチング素子
 6-1 ~ 6-N …液晶素子

【図6】

図5の電圧 $V_0 \sim V_8$ を説明するグラフ